

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08046044 A**(43) Date of publication of application: **16.02.96**

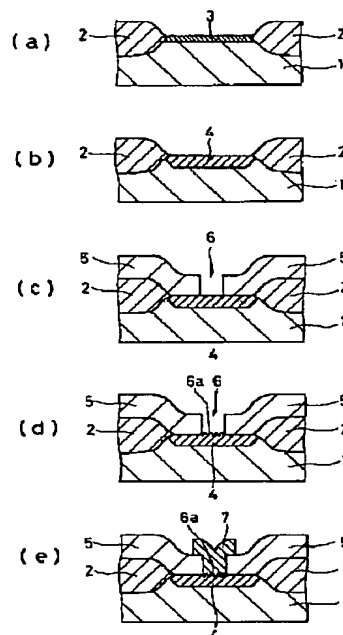
(51) Int. Cl.

H01L 21/768**H01L 21/28****H01L 21/3065****H01L 21/306**(21) Application number: **06197527**(71) Applicant: **NIPPON STEEL CORP**(22) Date of filing: **29.07.94**(72) Inventor: **SATO KAORU****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To further fine a semiconductor device by reducing contact resistance in a surface of a semiconductor layer by forming an irregular surface in a surface of a semiconductor layer by performing etching treatment by vapor-like etchant.

CONSTITUTION: A silicon oxide film 3 is formed in a surface of a silicon substrate 1 of an element region enclosed with a field oxide film 2. An impurity diffusion layer 4 is formed in a surface part of the silicon substrate 1 under the silicon oxide film 3. A first layer insulation film 5 is formed all over and the layer insulation film 5 is selectively removed by etching for shaping a contact hole 6 which reaches the impurity diffusion layer 4. The silicon substrate 1 exposed in a bottom part 6a of the contact hole 6 is etched by mixture vapor of HF vapor and HNO_3 vapor. Since an irregular part is formed in a surface of the silicon substrate 1 in this way, an effective contact area is increased. Therefore, contact resistance in a surface of the silicon substrate 1 can be reduced without enlarging the contact hole 6.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46044

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶

H 0 1 L 21/768

21/28

21/3065

識別記号

E

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 90

C

21/ 302

N

審査請求 未請求 請求項の数3 F D (全 6 頁) 最終頁に続く

(21) 出願番号

特願平6-197527

(22) 出願日

平成6年(1994)7月29日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 佐藤 薫

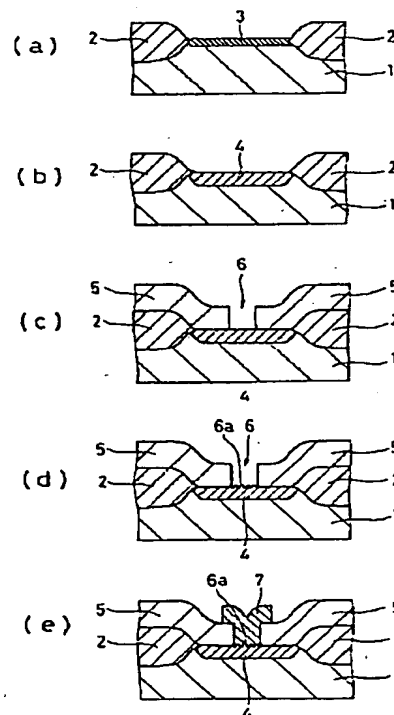
東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 コンタクト孔を大きくすることなくコンタクト抵抗を減少させる。

【構成】 コンタクト孔6の底部6aに露出したシリコン基板1を、HF蒸気及びHNO₃蒸気の混合蒸気(完全に酸化されていない霧状のもの)でエッチングする。このエッチングによって、シリコン基板1の表面に凸凹部が形成される。

【特許請求の範囲】

【請求項 1】 半導体層の表面におけるコンタクト抵抗を減少させるために、蒸気状エッチャントによるエッチング処理によって上記半導体層の表面に凸凹部を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板に第 1 の導電層が形成され、上記半導体基板上に上記第 1 の導電層に到達する孔を有する絶縁膜が形成され、且つ上記孔内において上記第 1 の導電層と第 2 の導電層とが接続された半導体装置の製造方法において、上記孔の底面部の上記第 1 の導電層を蒸気状エッチャントでエッチング処理して凸凹部を形成する工程と、少なくとも上記孔の内面を覆う上記第 2 の導電層を形成する工程とを有していることを特徴とする半導体装置の製造方法。

【請求項 3】 上記蒸気状エッチャントが、HF 蒸気と HNO₃ 蒸気の混合蒸気、HF 蒸気と HNO₃ 蒸気と水の蒸気の混合蒸気、KOH 蒸気の単体蒸気、及び、KOH 蒸気と水の蒸気の混合蒸気からなる群より選ばれたものであることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に半導体層の表面に形成した不純物拡散層等と配線層とのコンタクト抵抗を低減するために用いて好適なものである。

【0002】

【従来の技術】 DRAM や EEPROM 等の半導体装置においては、シリコン基板の表面に形成した不純物拡散層であるソース・ドレイン電極と、電源等に接続された金属配線層とを層間絶縁膜に開孔したコンタクト孔を介して接続し、ソース・ドレイン電極に所定の電圧を与える必要がある。以下、従来の半導体装置の製造過程におけるコンタクト部の形成方法を図 3 に基づいて説明する。

【0003】 まず、図 3 (a) に示すように、N 型シリコン基板 101 の表面にシリコン窒化膜（図示せず）を耐酸化膜とした熱酸化によって、素子分離のためのフィールド酸化膜 102 を形成する。しかる後、フィールド酸化膜 102 で囲まれた素子領域（島領域）のシリコン基板 101 の表面に熱酸化によってシリコン酸化膜 103 を形成する。

【0004】 次に、図 3 (b) に示すように、フィールド酸化膜 102 をマスクとしてシリコン基板 101 の全面に BF₂ をイオン注入し、更に熱処理を施して、シリコン酸化膜 103 下のシリコン基板 101 の表面部分に P⁺ 型の不純物拡散層 104 を形成する。

【0005】 次に、図 3 (c) に示すように、全面に層間絶縁膜 105 を形成した後、フォトレジスト（図示せ

ず）を用いた微細加工を施すことにより層間絶縁膜 105 及びシリコン酸化膜 103 を選択的にエッチング除去し、不純物拡散層 104 に達するコンタクト孔 106 を開孔する。しかる後、コンタクト孔 106 の底部において不純物拡散層 104 と接続される金属配線 107 をスパッタ法で形成し、所望の形状にパターニングする。尚、図 3 において、不純物拡散層 104 をソース・ドレイン電極とする MOS トランジスタのゲート部分の図示を省略している。

10 【0006】 以上の工程によって、不純物拡散層 104 と金属配線 107 とを、コンタクト孔 106 の底部において安定に接続することができる。

【0007】

【発明が解決しようとする課題】 しかしながら、半導体装置の微細化が進行するにつれて、コンタクト孔 106 の大きさ（径）が小さくなってきた。従って、上述の方法でコンタクト部を形成した場合、不純物拡散層 104 と金属配線 107 との接触面積がきわめて小さくなって、シリコン基板 101 の表面におけるコンタクト抵抗が増大し、コンタクトの安定性及び半導体装置の信頼性が阻害されるという問題が生じていた。その結果、コンタクト孔 106 の大きさをより小さくすることができなくなって、コンタクト抵抗の増大が半導体装置を微細化することについての妨げとなっていた。

20 【0008】 そこで、本発明の目的は、コンタクト孔を大きくすることなく半導体層の表面におけるコンタクト抵抗を減少させることによって、半導体装置をより微細化することのできる方法を提供することである。

【0009】

30 【課題を解決するための手段】 上記目的を達成するために、本発明の半導体装置の製造方法は、半導体層の表面におけるコンタクト抵抗を減少させるために、蒸気状エッチャントによるエッチング処理によって上記半導体層の表面に凸凹部を形成する。

40 【0010】 本発明の半導体装置の製造方法は、別の態様においては、半導体基板に第 1 の導電層が形成され、上記半導体基板上に上記第 1 の導電層に到達する孔を有する絶縁膜が形成され、且つ上記孔内において上記第 1 の導電層と第 2 の導電層とが接続された半導体装置の製造方法において、上記孔の底面部の上記第 1 の導電層を蒸気状エッチャントでエッチング処理して凸凹部を形成する工程と、少なくとも上記孔の内面を覆う上記第 2 の導電層を形成する工程とを有している。

【0011】 本発明の一態様においては、上記蒸気状エッチャントが、HF 蒸気と HNO₃ 蒸気の混合蒸気、HF 蒸気と HNO₃ 蒸気と水の蒸気の混合蒸気、KOH 蒸気の単体蒸気、及び、KOH 蒸気と水の蒸気の混合蒸気からなる群より選ばれたものである。

【0012】

50 【作用】 本発明での蒸気状エッチャントは完全に気化さ

れていない霧状のものであるので、エッチングのごく初期の段階において半導体層の表面に蒸気状エッチャントが付着する部分と付着しない部分が生じる。すると、蒸気状エッチャントの付着の有無に対応して半導体層の表面に凹凸部が形成されるので、半導体層の表面での実効的なコンタクト面積が増加して、コンタクト孔を大きくすることなく半導体層の表面におけるコンタクト抵抗を減少させることができる。

【0013】

【実施例】以下、本発明の第1実施例を図1に基づき説明する。

【0014】まず、図1(a)に示すように、N型シリコン基板1の表面にシリコン窒化膜(図示せず)を耐酸化膜とした熱酸化によって、膜厚500nm程度の素子分離のためのフィールド酸化膜2を形成する。しかる後、フィールド酸化膜2で囲まれた素子領域(島領域)のシリコン基板1の表面に熱酸化によって膜厚30nm程度のシリコン酸化膜3を形成する。

【0015】次に、図1(b)に示すように、 5×10^{15} ion/cm² 程度のドーズ量で、BF₂ をシリコン基板1の全面にイオン注入する。しかる後、シリコン酸化膜3を濃度0.5%程度のHF水溶液によって除去し、温度900℃程度で時間30分程度の熱処理を行って、シリコン酸化膜3下のシリコン基板1の表面部分にP⁺ 型の不純物拡散層4を形成する。尚、シリコン酸化膜3は除去しなくてもよい。

【0016】次に、図1(c)に示すように、全面に膜厚500nm程度の第1の層間絶縁膜5を形成する。しかる後、フォトレジスト(図示せず)を用いた微細加工を施すことにより第1の層間絶縁膜5を選択的にエッチング除去し、不純物拡散層4に達する幅0.5~1μm程度のコンタクト孔6を開孔する。

【0017】次に、図1(d)に示すように、コンタクト孔6の底部6aに露出したシリコン基板1を、HF蒸気及びHNO₃ 蒸気の混合蒸気でエッチングする。このHF蒸気及びHNO₃ 蒸気の混合蒸気は完全に気化されていない霧状のものであるので、エッチングのごく初期の段階においてシリコン基板1の表面に混合蒸気の微粒子(直径0.1~1.5μm程度)が付着する部分と付着しない部分が生じる。この結果、混合蒸気の微粒子のシリコン基板1への付着の有無に対応してシリコン基板1の表面に凹凸部が形成される。このときのエッチング条件は、蒸気温度が室温~30℃程度、ウェハ温度が室温~50℃程度である。尚、HF蒸気及びHNO₃ 蒸気の混合蒸気には、通常少量の水の蒸気(霧状)が混入している。また、本実施例において用いるHF蒸気及びHNO₃ 蒸気の混合蒸気の代表的な製造方法は、HF及びHNO₃ 水溶液から蒸気を発生させる方法である。

【0018】このとき、エッチングが進行すると、混合蒸気の微粒子がシリコン基板1に均一に付着して、シリ

コン基板が等方性エッチングされることになってしまうため、凹凸部での高い凹凸度を維持する観点から処理時間は15~60秒程度とすることが好ましい。また、蒸気状エッチャントは、シリコンをウェットエッチングできる液体から発生するものであればよく、例えばKOH溶液を50~80℃程度に温めることによって得られたKOH蒸気であってもよい。また、シリコン基板1の表面に凹凸部を形成し易くするためには、全く水分を含まない無水蒸気であるよりも、HF蒸気及びHNO₃ 蒸気の混合蒸気やKOH蒸気等に水の蒸気を混入させることが好ましい。このように蒸気状エッチャントの種類を変えた場合であっても、上述と同じエッチング条件を適用してよい。

【0019】次に、図1(e)に示すように、コンタクト孔6の底部において不純物拡散層4と接続される引き出し電極であるアルミニウム配線7をスパッタ法で形成し、所望の形状にパターニングする。また、配線材料としては、Al-Si-Cu等のアルミニウム合金のほか、W、Ti等を用いることもできる。尚、図1においては、不純物拡散層4をソース・ドレイン電極とするMOSトランジスタのゲート部分の図示を省略している。

【0020】以上に説明した方法によると、凹凸部を形成したためにシリコン基板1の表面における不純物拡散層4とアルミニウム配線7との実効的なコンタクト面積が増加するので、コンタクト孔6を大きくすることなくシリコン基板1の表面におけるコンタクト抵抗を減少させることができる。尚、シリコン基板1の表面に凹凸部を形成するための方法としては、上述した方法以外に、ドライエッチングによってシリコン基板の表面に凹凸部を形成する方法や、表面に凹凸を有する有機薄膜等をエッチバックしてシリコン基板に凹凸部を形成する方法等も考えられるが、本実施例の方法は、こういった方法に較べて基板に損傷を与えることがなく且つきわめて少ない工程数で簡易に行うことができるので、装置の信頼性の向上、製造コストの低減及びスループットの向上の面から有利である。

【0021】上述の実施例においては、シリコン基板の表面に凹凸部を形成する場合を示したが、本発明はこれに限らず、ガリウム砒素基板などの他の半導体基板のコンタクト抵抗を減少させるために用いることもできる。この場合も、蒸気状エッチャントとしては、基板材料をエッチングできる液体から発生するものであればよい。

【0022】次に、本発明の第2実施例を図2に基づき説明する。

【0023】図2は、本実施例の半導体装置の配線形成方法を説明する製造工程図である。本実施例の工程は図1(d)に示す工程までは上記第1実施例と共通であるため、ここまでの工程の説明を省略するとともに、本実施例において第1実施例と対応する部位には同一の符号を用いる。

10

20

30

40

50

【0024】まず、図2(a)に示すように、コンタクト孔6の底部6aにおいて不純物拡散層4と接続される不純物含有ポリシリコン膜8をCVD法で形成し、所望の形状にパターニングする。例えば、図2(a)においてコンタクト孔6に対して右側の第1の層間絶縁膜5a上に跨るように、ポリシリコン膜8をパターニングする。しかる後、全面に膜厚500nm程度の第2の層間絶縁膜9を形成する。しかる後、フォトレジスト(図示せず)を用いた微細加工を施すことにより第2の層間絶縁膜9を選択的にエッチング除去し、ポリシリコン膜8に達する幅0.5~1μm程度の孔10を開孔する。ポリシリコン膜8に含有される不純物は、ボロン(ホウ素)等の不純物であってよい。

【0025】次に、図2(b)に示すように、孔10の底部10aに露出したポリシリコン膜8を、HF蒸気及びHNO₃蒸気の混合蒸気でエッチングする。このHF蒸気及びHNO₃蒸気の混合蒸気は完全に気化されていない霧状のものであるので、エッチングのごく初期の段階においてシリコン基板1の表面に混合蒸気の微粒子

(直径0.1~1.5μm程度)が付着する部分と付着しない部分が生じる。この結果、混合蒸気の微粒子のポリシリコン膜8への付着の有無に対応してポリシリコン膜8の表面に凸凹部が形成される。このときのエッチング条件は、蒸気温度が室温~30℃程度、ウェハ温度が室温~50℃程度である。尚、HF蒸気及びHNO₃蒸気の混合蒸気には、通常少量の水の蒸気(霧状)が混入している。また、本実施例において用いるHF蒸気及びHNO₃蒸気の混合蒸気の代表的な製造方法は、HF及びHNO₃水溶液から蒸気を発生させる方法である。

【0026】このとき、エッチングが進行すると、混合蒸気の微粒子がポリシリコン膜8に均一に付着して、ポリシリコン膜8が等方性エッチングされることになってしまうため、凸凹部での高い凹凸度を維持する観点から処理時間は15~60秒程度とすることが好ましい。また、蒸気状エッチャントは、シリコンをウェットエッチングできる液体から発生するものであればよく、例えばKOH溶液を50~80℃程度に温めることによって得られたKOH蒸気であってもよい。また、ポリシリコン膜8の表面に凹凸部を形成し易くするためには、全く水分を含まない無水蒸気であるよりも、HF蒸気及びHNO₃蒸気の混合蒸気やKOH蒸気等に水の蒸気を混入させることが好ましい。このように蒸気状エッチャントの種類を変えた場合であっても、上述と同じエッチング条件を適用してよい。

【0027】次に、図2(c)に示すように、孔10の底部においてポリシリコン膜8と接続される引き出し電極であるアルミニウム配線11をスパッタ法で形成し、所望の形状にパターニングする。また、配線材料としては、Al-Si-Cu等のアルミニウム合金のほか、W、Ti等を用いることもできる。

【0028】以上に説明した方法によると、凹凸部を形成したためにポリシリコン膜8の表面とアルミニウム配線11との実効的なコンタクト面積が増加するので、孔10を大きくすることなくポリシリコン膜8の表面におけるコンタクト抵抗を減少させることができる。尚、ポリシリコン膜8の表面に凹凸部を形成するための方法としては、上述した方法以外に、ドライエッチングによってシリコン基板の表面に凹凸部を形成する方法や、表面に凹凸を有する有機薄膜等をエッチバックしてシリコン基板に凹凸部を形成する方法等も考えられるが、本実施例の方法は、こういった方法に較べて基板に損傷を与えることがなく且つきわめて少ない工程数で簡易に行うことができるので、装置の信頼性の向上、製造コストの低減及びスループットの向上の面から有利である。

【0029】また、上述の第1実施例においては、シリコン基板1とアルミニウム配線7とのコンタクトの場合を示し、第2実施例においては、ポリシリコン膜8とアルミニウム配線11とのコンタクトの場合を示したが、本発明はこれに限らず、多結晶シリコンと多結晶シリコンや、アモルファスシリコンとアルミニウム配線等のコンタクト抵抗を減少させるために用いることもできる。この場合の蒸気状エッチャントは、上述の実施例に示したものと同様である。

【0030】

【発明の効果】本発明によると、蒸気状エッチャントによるエッチング処理で半導体基板の表面または配線層であるポリシリコン膜表面等の半導体層の表面に凸凹部を形成することができるので、半導体層の表面における実効的なコンタクト面積を増加させることができる。従って、コンタクト孔を大きくすることなく半導体層の表面におけるコンタクト抵抗を減少させることができ、半導体装置をより微細化させることが可能となる。また、半導体装置の特性及び信頼性が向上し、高い製造歩留り及びスループットを得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施例の半導体装置の製造方法を工程順に示す断面図である。

【図2】本発明の第2実施例の半導体装置の製造方法を工程順に示す断面図である。

【図3】従来の半導体装置の製造方法を工程順に示す断面図である。

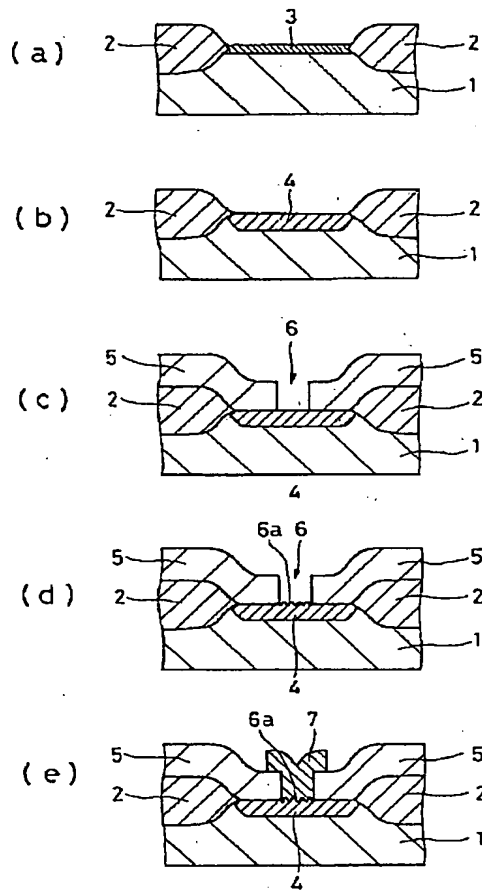
【符号の説明】

- 1 シリコン基板
- 2 フィールド酸化膜
- 3 シリコン酸化膜
- 4 不純物拡散層
- 5 第1の層間絶縁膜
- 6、10 コンタクト孔
- 6a、10a コンタクト孔の底部
- 7、11 アルミニウム電極

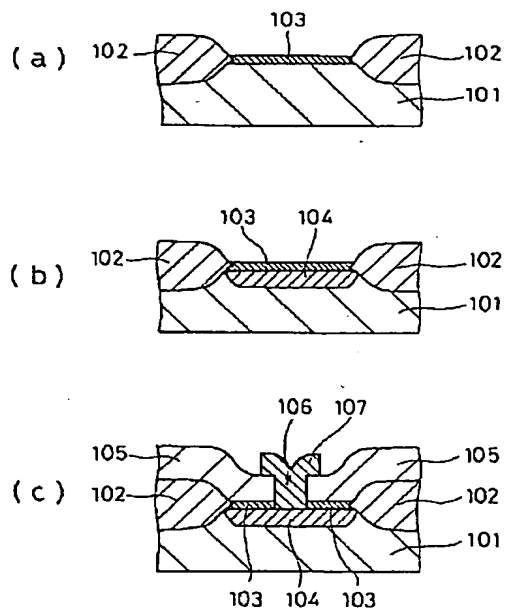
7
8 不純物含有ポリシリコン膜

9 第2の層間絶縁膜

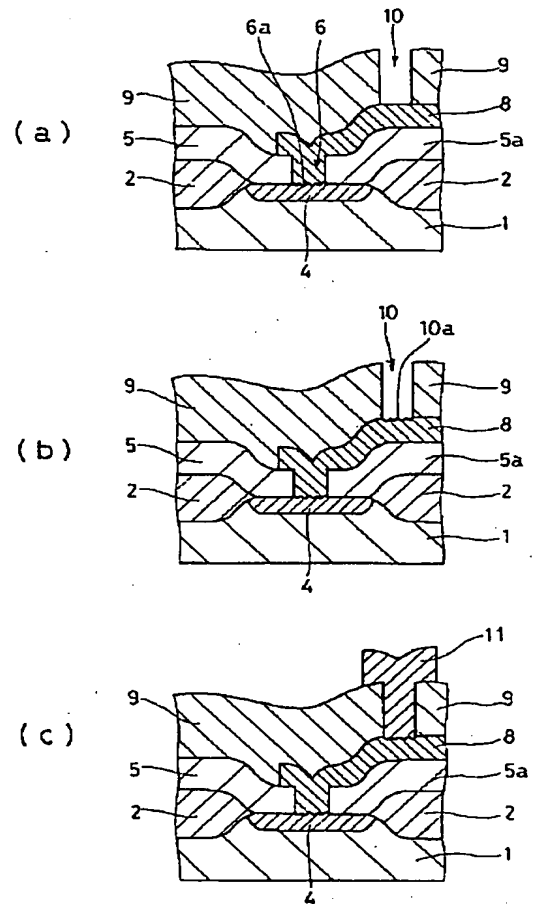
【図1】



【図3】



【図2】



フロントページの続き

(51)Int.Cl.⁶

H O 1 L 21/306

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/302
21/306P
F